



JAPANESE PATENT OFFICE

JP7078829

PATENT ABSTRACTS OF JAPAN

MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication date: 1995-03-20

Inventor(s): HASHIMOTO KOICHI; others: 02

Applicant(s):: FUJITSU LTD; others: 01

Application Number: JP19940162434 19940714

Priority Number(s):

IPC Classification: H01L21/3213 ; H01L21/3065 ; H01L29/78 ; H01L21/336

EC Classification:

Abstract

PURPOSE:

To provide a manufacturing method of a semiconductor device which can prevent the damage of the semiconductor device in the case of working a fine pattern, regarding the manufacturing method of a semiconductor device containing an insulated-gate field-effect transistor (IGFET) of high level of integration.

CONSTITUTION:

In the manufacturing method of a semiconductor device containing an insulated-gate field-effect transistor, the following are formed; a gate insulating film 2a on a semiconductor substrate 1, a gate electrode layer 3 facing the substrate 1, in a specified area, via the gate insulating film 2a, a layer insulating film 4; a wiring layer 6 connected with the gate electrode layer 3, a conductive material layer on the wiring layer 6, and a resist layer. By patterning the resist layer, a resist mask 9 containing a wiring pattern is formed with an antenna ratio larger than or equal to 10 to the area of a gate electrode. By applying the resist mask 9 to an etching mask, at least the conductive material layer is subjected to plasma etching. The resist mask 9 is eliminated, and the wiring layer 6 is subjected to plasma etching.



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07078829 A**(43) Date of publication of application: **20 . 03 . 95**

(51) Int. Cl.

H01L 21/3213
H01L 21/3065
H01L 29/78
H01L 21/336

(21) Application number: **06162434**(22) Date of filing: **14 . 07 . 94**(30) Priority: **16 . 07 . 93 JP 05176956**(71) Applicant: **FUJITSU LTD FUJITSU VLSI LTD**

(72) Inventor: **HASHIMOTO KOICHI**
MATSUNAGA DAISUKE
AOYAMA MASAOKI

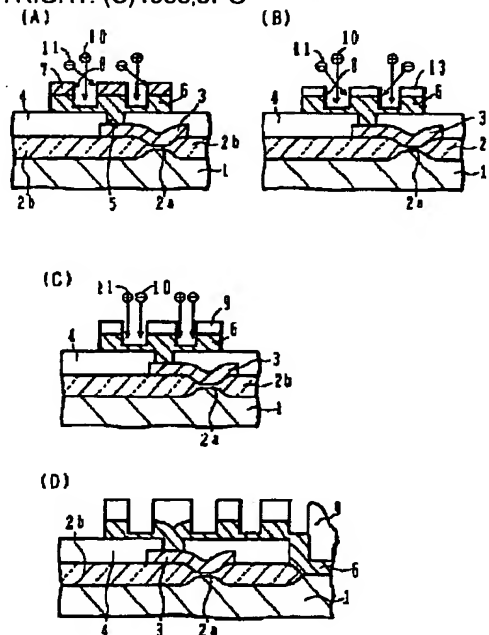
(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To provide a manufacturing method of a semiconductor device which can prevent the damage of the semiconductor device in the case of working a fine pattern, regarding the manufacturing method of a semiconductor device containing an insulated-gate field-effect transistor (IGFET) of high level of integration.

CONSTITUTION: In the manufacturing method of a semiconductor device containing an insulated-gate field-effect transistor, the following are formed; a gate insulating film 2a on a semiconductor substrate 1, a gate electrode layer 3 facing the substrate 1, in a specified area, via the gate insulating film 2a, a layer insulating film 4, a wiring layer 6 connected with the gate electrode layer 3, a conductive material layer on the wiring layer 6, and a resist layer. By patterning the resist layer, a resist mask 9 containing a wiring pattern is formed with an antenna ratio larger than or equal to 10 to the area of a gate electrode. By applying the resist mask 9 to an etching mask, at least the conductive material layer is subjected to plasma etching. The resist mask 9 is eliminated, and the wiring layer 6 is subjected to plasma etching.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-78829

(43) 公開日 平成7年(1995)3月20日

(51) Int.Cl.⁶

識別記号

片内整理番号

F I

技術表示箇所

H 0 1 L 21/3213
21/3065
29/78

H 0 1 L 21/ 88

D

21/ 302

J

審査請求 未請求 請求項の数15 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願平6-162434
(22) 出願日 平成6年(1994)7月14日
(31) 優先権主張番号 特願平5-176956
(32) 優先日 平5(1993)7月16日
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(71) 出願人 000237617
富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町2丁目1844番2
(72) 発明者 橋本 浩一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 松永 大輔
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74) 代理人 弁理士 高橋 敬四郎

最終頁に続く

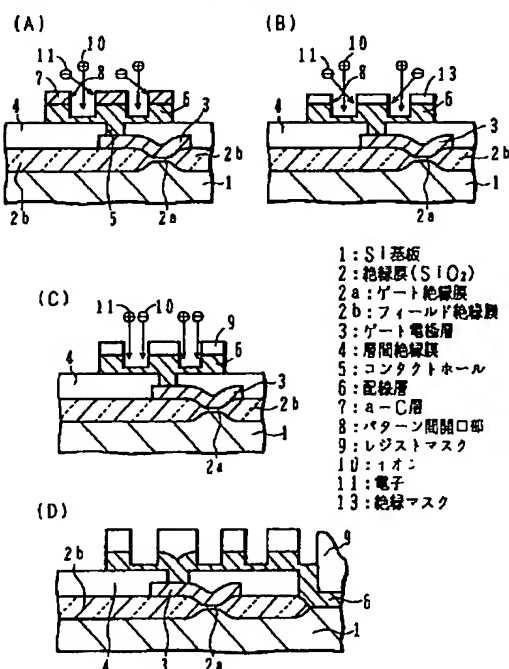
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 高集積度の絶縁ゲート型電界効果トランジスタ (I G F E T) を含む半導体装置の製造方法に関し、微細パターンの加工においても、半導体装置の損傷を防止できる半導体装置の製造方法を提供する。

【構成】 絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法であって、半導体基板上にゲート絶縁膜、所定面積で前記ゲート絶縁膜を介して前記半導体基板と対向するゲート電極層、層間絶縁膜、前記ゲート電極層に接続された配線層を形成し、配線層上に導電材料層、レジスト層を形成する。レジスト層をパターンニングしてゲート電極の面積に対して約1.0以上のアンテナ比を有する配線パターンを含むレジストマスクを形成する。レジストマスクをエッチングマスクとして少なくとも導電材料層をプラズマエッチングし、その後レジストマスクを除去し、配線層をプラズマエッチングする。

基本概念



【特許請求の範囲】

【請求項 1】 絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法であって、半導体基板上にゲート絶縁膜、電極層を形成する工程と、前記電極層をパターンニングして、所定面積で前記ゲート絶縁膜を介して前記半導体基板と対向するゲート電極層を形成する工程と、前記ゲート電極層を覆う層間絶縁膜を形成する工程と、前記ゲート電極層に接続された配線層を前記層間絶縁膜上に形成する工程と、前記配線層上に導電材料層を形成する工程と、前記導電材料層上にレジスト層を塗布する工程と、前記レジスト層をパターンニングして前記ゲート電極層の前記半導体基板と対向する部分の面積に対して約 10 以上のアンテナ比を有する配線パターンを含むレジストマスクを形成する工程と、前記レジストマスクをエッチングマスクとして少なくとも前記導電材料層をプラズマエッチングする第 1 エッチング工程と、第 1 エッチング工程後、前記レジストマスクを除去する除去工程と、除去工程後、少なくともゲート電極層に接続された前記配線層の一部をプラズマエッチングする第 2 エッチング工程とを含む半導体装置の製造方法。

【請求項 2】 前記層間絶縁層が他の配線層を中間に挟んだ複数の絶縁層である請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記第 1 エッチング工程が導電材料層のエッチングであり、前記第 2 エッチング工程が前記導電材料層をマスクとした前記配線層のエッチングである請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】 前記第 1 エッチング工程が前記導電材料層と前記配線層主要部のエッチングであり、前記第 2 エッチング工程が前記配線層残部のエッチングである請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 5】 前記導電材料層が炭素で形成されている請求項 1 ～ 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】 前記除去工程が酸素プラズマのダウンフローで行なわれる請求項 5 記載の半導体装置の製造方法。

【請求項 7】 パターン間隔が $1\ \mu\text{m}$ 以下の導電膜パターンを含む半導体装置の製造方法であって、半導体基板の一部表面上に薄い絶縁膜を介して電極層を形成する工程と、前記電極層を覆う層間絶縁膜を形成する工程と、前記層間絶縁膜上に前記電極層に接続された導電膜を形成する工程と、導電膜上に絶縁マスク材層を形成する工程と、絶縁マスク材層上にレジスト層を塗布する工程と、レジスト層をパターンニングする工程と、レジスト層をマスクとして絶縁マスク材層をパターンニングする工程と、レジスト層を除去する工程と、絶縁マスク材層をマスクとして導電膜をプラズマエッチングでパターンニングする工程とを含み、前記絶縁マスク材層の厚さは最小パターン間隔の $1/2$ 以下に設定されている半導体装置の

製造方法。

【請求項 8】 前記層間絶縁膜が前記電極層を露出するコンタクトホールを有する請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記層間絶縁層が他の配線層を中間に挟んだ複数の絶縁層である請求項 7 記載の半導体装置の製造方法。

【請求項 10】 被加工物表面上において特性が均一なプラズマを用いて絶縁ゲート型電界効果トランジスタの絶縁ゲートに接続する配線層またはその上の絶縁層を加工する際、配線層表面にほぼ垂直に入射するイオンと電子とがほぼ等量となるように周波数が 1 MHz 以下の rf バイアスを被加工物に印加する半導体装置の製造方法。

【請求項 11】 さらに、被加工物に向かって次第に磁束密度が減少する発散磁場とミラー磁場とを印加する請求項 10 記載の半導体装置の製造方法。

【請求項 12】 被加工物に向かって次第に磁束密度が減少する発散磁場の下で、プラズマを発生させ、被加工物表面にほぼ垂直に入射するイオンと電子がほぼ等量となるようにカスプ磁場を印加し、被加工物をエッチングする半導体装置の製造方法。

【請求項 13】 第 1 導電型の半導体領域上に形成されたゲート絶縁膜上のゲート電極に接続された配線層である第 1 配線層と前記半導体領域に接続された第 2 配線層とを同時に作成する半導体装置の製造方法であって、第 1 配線層と第 2 配線層とをパターンニングする際、その間に電気的に分離された第 3 配線層を残す半導体装置の製造方法。

【請求項 14】 前記第 3 配線層と第 1 および第 2 配線層との間の間隔は他の部分での最小パターン間隔とほぼ等しく選択されている請求項 13 記載の半導体装置の製造方法。

【請求項 15】 半導体基板と、半導体基板上に形成された絶縁ゲート構造と、絶縁ゲート構造を覆う層間絶縁膜と、層間絶縁膜上に形成され、前記ゲート構造に接続された第 1 の配線と、第 1 の配線から離れて配置された第 2 の配線と、第 1 の配線と第 2 の配線の間に、ほぼ同等の間隔を介して形成され、配線としては用いられていない補間配線領域とを含む配線層とを有する半導体装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、特に高集積度の絶縁ゲート型電界効果トランジスタ (IGFET) を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】 LSI (大規模集積回路) の微細化に伴い、パターン転写精度の向上が望まれている。マスクパ

ターンを忠実に配線等の被加工物層に転写するため、R I E (reactive ion etching)、E C R (electron cyclotron resonance) プラズマエッチング等の異方性ドライエッチングが多用されている。これらの異方性ドライエッチングはプラズマないしイオンを利用している。

【0003】プラズマプロセスにはプラズマの不均一による損傷等の電氣的ストレスが伴いやすい(J. Appl. Phys. 72 (1992) pp. 4865-4872 参照)。特に、微細化と共に絶縁ゲート型電界効果トランジスタ(I G F E T)のゲート絶縁膜は薄くなってきており、10nm以下のものも多く、電氣的ストレスにより影響、損傷を受けやすい。たとえば、ゲート絶縁膜を通してファウラ・ノルドハイム(Fowler・Nordheim, FN)トンネル電流が流れると、積分電流量に応じた欠陥が生じ、閾値電圧を変化させる。さらに、絶縁破壊が生じると、ゲート電極と半導体基板の短絡等が生じる。

【0004】10nm厚のゲート酸化膜は、10~15V以上の電圧印加によって破壊されてしまう危険性が高い。プラズマ中に置かれた被加工物表面上の電位V d cは100~1000Vに達し、その均一性を5%以内に抑えることは容易ではない。

【0005】したがって、プラズマプロセスによってゲート絶縁膜を破壊してしまう危険性は非常に高い。これらの危険性は配線層のパターニングのみでなく、コンタクトホール開口、プラズマスパッタによるコンタクトホールクリーニングの際にも存在する。

【0006】従来、これらの損傷現象は、すべて使用するプラズマに付随する電氣的もしくは磁氣的性質の不均一が原因とされてきた。したがって、損傷を防止する手段として均一なプラズマを生成して使用することが解決手段とされてきた。

【0007】より具体的には、プラズマ電位の均一化や電子移動度の位置依存性を防止することによるバイアス電圧の均一化等が提案されてきた。たとえば、被加工物表面上を磁束が横断する構成において、中央部と周辺部において磁場の表面垂直成分が変化することを防止する構成が提案されている。

【0008】

【発明が解決しようとする課題】本発明者らは、プラズマの不均一性を是正しても、加工パターンによって損傷が発生することを新たに見いだした。

【0009】本発明の目的は、微細パターンの加工においても、半導体装置の損傷を防止できる半導体装置の製造方法を提供することである。

【0010】

【課題を解決するための手段】本発明の半導体装置の製造方法は、絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法であって、半導体基板上にゲート絶縁膜、電極層を形成する工程と、前記電極層をパターニングして、所定面積で前記ゲート絶縁膜を介して前記半

導体基板と対向するゲート電極層を形成する工程と、前記ゲート電極層を覆う層間絶縁膜を形成する工程と、前記ゲート電極層に接続された配線層を前記層間絶縁膜上に形成する工程と、前記配線層上に導電材料層を形成する工程と、前記導電材料層上にレジスト層を塗布する工程と、前記レジスト層をパターニングして前記ゲート電極層の前記半導体基板と対向する部分の面積に対して約10以上のアンテナ比を有する配線パターンを含むレジストマスクを形成する工程と、前記レジストマスクをエッチングマスクとして少なくとも前記導電材料層をプラズマエッチングする第1エッチング工程と、第1エッチング工程後、前記レジストマスクを除去する除去工程と、除去工程後、少なくともゲート電極層に接続された前記配線層の一部をプラズマエッチングする第2エッチング工程とを含む。

【0011】また、本発明の半導体装置の製造方法は、パターン間隔が1μm以下の導電膜パターンを含む半導体装置の製造方法であって、半導体基板の一部表面上に薄い絶縁膜を介して電極層を形成する工程と、前記電極層を覆う層間絶縁膜を形成する工程と、前記層間絶縁膜上に前記電極層に接続された導電膜を形成する工程と、導電膜上に絶縁マスク材層を形成する工程と、絶縁マスク材層上にレジスト層を塗布する工程と、レジスト層をパターニングする工程と、レジスト層をマスクとして絶縁マスク材層をパターニングする工程と、レジスト層を除去する工程と、絶縁マスク材層をマスクとして導電膜をプラズマエッチングでパターニングする工程とを含み、前記絶縁マスク材層の厚さは最小パターン間隔の1/2以下に設定されている。

【0012】また、本発明の半導体装置の製造方法は、被加工物表面上において特性が均一なプラズマを用いて絶縁ゲート型電界効果トランジスタの絶縁ゲートに接続する配線層またはその上の絶縁層を加工する際、配線層表面にほぼ垂直に入射するイオンと電子とがほぼ等量となるように周波数が1MHz以下のrfバイアスを被加工物に印加する。

【0013】また、本発明の半導体装置の製造方法は、第1導電型の半導体領域上に形成されたゲート絶縁膜上のゲート電極に接続された配線層である第1配線層と前記半導体領域に接続された第2配線層とを同時に作成する半導体装置の製造方法であって、第1配線層と第2配線層とをパターニングする際、その間に電氣的に分離された第3配線層を残す。

【0014】

【作用】薄い絶縁膜上のゲート電極に接続され、真性ゲート領域に対して高いアンテナ比を有する導電パターンの加工においては、プラズマを均一化してもゲート構造に損傷が生じるが、プラズマエッチングにおけるマスク材料を導電性とすることにより、ゲート構造の損傷を防止することが可能となる。ここで、アンテナ比とは薄い

絶縁膜上のゲート電極（真性ゲート領域）の面積に対する導電パターンの露出面積の比を言う。

【0015】これは、マスクが非導電性であるとマスク下の被加工導電層に入射する正電荷と負電荷のバランスの崩れは、直ちに被加工導電層のチャージアップとなるが、マスクが導電性であればマスク下の導電層のみで電荷のバランスを取る必要がなくなり、マスクと被加工層との全体で正電荷と負電荷のバランス取ればよいと考える。

【0016】アンテナ比が10以上の場合に、一旦チャージアップが生じると、絶縁強度の弱い領域にほぼ10倍以上に増幅された電流が流れ、半導体装置の特性が容易に変化してしまう。電荷のバランスを取ることでトンネル電流を防ぎ、所望特性の半導体装置を製造することが可能となる。

【0017】マスクが非導電性であっても、その側面の面積が無視できる程度であれば、損傷を防止することが可能となる。これは、非導電性マスク側面に入射する負電荷の絶対量が小さいと考える。より具体的には、マスクの厚さが最小パターン間隔の1/2以下であれば損傷防止の効果が大きくなる。

【0018】従来の均一なプラズマは、平面上に入射する正電荷と負電荷の量が等しいものであったと考えられる。ただし、入射方向まで考慮した時には、均一性は保証されていない。したがって、マスク間隔の狭い非導電性マスク間に設けられた開口に垂直方向に入射する電荷のみを考えれば、不均一性が存在していたと考えられる。

【0019】この不均一性を解消すれば、正電荷と負電荷のバランスがとれ、損傷を防止することができる。プラズマから被加工物に垂直に入射する正電荷と負電荷のバランスを調整するためには、rfバイアスの周波数を1MHz以下とすることが有効である。さらに、発散磁場と補助ミラー磁場を印加することが有効である。

【0020】また、発散磁場と補助カスプ磁場を形成すると、被加工物に垂直に入射する電荷のバランスを取るのに有効である。

【0021】

【実施例】従来、プラズマエッチングにおけるプラズマに不均一が存在すると、エッチング加工対象物に損傷が生じやすいことが知られている。

【0022】このようなプラズマの不均一は、いわゆるアンテナ構造を有するMOSダイオードの破壊率、あるいはそのフラットバンド電圧のシフトを検出することによって測定することができる。

【0023】ここで、アンテナ構造とは、荷電状態に敏感な構造が、プラズマに露出した広い面積を有する導電部材に電気的に接続されている構造をいう。すなわち、広い露出面積を有するアンテナがプラズマから電荷を受けると、その電荷が荷電状態に敏感な構造の電位を変化

させる構造である。

【0024】また、フラットバンド電圧は、絶縁層等にトラップされた電荷によって曲がったバンドを、平な状態に駆動するのに必要な電圧を意味する。プラズマプロセス中に一方の極性を有する電荷が対象とする構造に注入され、トラップされると、フラットバンド電圧が変化する。フラットバンド電圧のシフトを検出すれば、MOSダイオードを流れたFNトンネル電流によって、ゲート絶縁膜中にトラップされた電荷量を知ることができる。

【0025】プロセス条件を確立する際には、加工対象物表面上にアンテナ構造を設けた多数のMOSダイオード構造を形成し、これらのフラットバンド電圧の変化または破壊率を測定することにより、被加工物表面上に入射する正電荷、負電荷のアンバランスを検出することができる。

【0026】しかしながら、そのようにして検出される正電荷と負電荷のバランスは、平面上の単位面積に関するものであり、入射電荷の入射方向についての情報は伝えない。

【0027】ホトレジストは、通常絶縁体であり、加工パターンの微細化と共に、そのアスペクト比は増大する傾向にある。したがって、レジスト層表面上で入射する正電荷と負電荷のバランスがとれていても、その入射方向分布に差があれば、レジスト層下側に配置される導電性被加工物に入射する電荷量は変化してしまう。

【0028】図2（A）、（B）は、アンテナ構造を示す断面図および平面図である。図2（A）において、たとえばp型Siで形成された半導体基板101の表面に、選択的に厚いフィールド酸化膜102bが形成されている。フィールド酸化膜102bは、図2（B）に示す活性領域108を取り囲むように形成されている。

【0029】活性領域108表面に薄いゲート酸化膜102aを形成し、その上にたとえば多結晶Siで形成されたゲート電極103を形成する。ゲート電極103は、図2（B）に示すように活性領域108の中央部を横断し、その両側のフィールド酸化膜の上に延在する。

【0030】ゲート電極103両側の活性領域108表面上にゲート酸化膜は除去され、ソース／ドレイン電極が形成される。ゲート電極103を覆うように、SiO₂等で形成された層間絶縁膜104が形成され、ゲート電極103の一部を露出するためのコンタクトホール105が形成される。コンタクトホール105を介してゲート電極103に接続するゲート配線層106が層間絶縁膜104上に形成される。配線層106は、活性層108上のゲート電極103の面積A_gと比べ、少なくとも10倍の広さを有する面積A_fを有する。

【0031】半導体基板101、ゲート絶縁膜102a、ゲート電極103で形成される絶縁ゲート構造の特性は、ゲート絶縁膜102aを流れるファウラ・ノルド

10

20

30

40

50

ハイム (FN) トンネル電流によって影響を受ける。

【0032】図 2 (C) は、MOS キャパシタの電流電圧特性を概略的に示す。横軸は MOS キャパシタに印加される電圧をリニアスケールで示し、縦軸は MOS キャパシタを流れる電流を対数スケールで示す。印加電圧の増大と共に、まずリーク電流 I_L が流れる。印加電圧がある値に達すると (ゲート絶縁膜中の電界がある程度強度に達すると)、ゲート絶縁膜を貫通してトンネル電流 I_{tn} が流れるようになる。さらに印加電圧を増大すると、ある電圧で電流は急激に増大し、絶縁破壊電流 I_b が流れる。絶縁破壊電流 I_b が流れると、MOS キャパシタは破壊されるが、たとえこの絶縁破壊電流が流れなくても、トンネル電流 I_{tn} が流れると、MOS キャパシタの特性は変化してしまう。トンネル電流が MOS キャパシタに与える影響は、流れた電流量に応じて増大する。

【0033】図 2 (A)、(B) に示すようなアンテナ構造を有する配線層をパターンニングする際、被加工層 106 に入射する正電荷と負電荷のバランスが崩れると、被加工層 106 のチャージアップが生じ得る。被加工層 106 はゲート電極 103 に電気的に接続されており、ゲート電極 103 と配線層 106 が半導体基板 101 に対して電位差を有するようになる。

【0034】配線層 106 は半導体基板 101 との間に厚い酸化膜 102、104 を介して配置されているが、ゲート電極 103 は薄いゲート絶縁膜 102a のみを介して半導体基板 101 と対向している。したがって、半導体基板 101 と配線層 106 との間の電圧が増大していくと、専らゲート電極 103 と半導体基板 101 との間でゲート絶縁膜 102a を介してトンネル電流が流れることになる。

【0035】真性ゲート電極の面積 A_g に比べ、配線層 106 の面積 A_f の比 (アンテナ比) が大きければ大きいほど、ゲート絶縁膜 102a を介して流れるトンネル電流が増大することになる。したがって、アンテナ比の大きい配線層を加工する際、入射する正負電荷量のバランスが崩れると、絶縁ゲート構造は容易にその性質を変化させてしまう。

【0036】図 2 (D) は、ゲート配線層の加工プロセスを概略的に示す。ゲート配線層の加工は単一の配線を加工するのみではなく、種々の配線を同時に加工する場合が多い。層間絶縁膜 104 の全面上に形成された配線層 106 上に、ホトレジストパターン 110 が形成され、このホトレジストパターン 110 をエッチングマスクとして配線層 106 がエッチされる。

【0037】エッチング工程初期においては、配線層 106 のいずれかの部分 (たとえば、スクライブ領域) が半導体基板 101 と電気的に接触していることが多い。しかしながら、マイクロローディング効果によりパターン密度の高い領域においては、エッチング速度が低下す

る。したがって、パターン間隔の広い部分ではエッチングが終了しても、パターン間隔の狭い領域では未だ続行する。

【0038】このような状態においては、図 2 (D) に示すように、ゲート電極 103 に接続された配線層は周囲の配線と接続され、その外側の配線とは電気的に分離される状況が生じる。すなわち、図に示す配線層 106 は電気的に分離され、ゲート電極 103 のみに接続される。このような状況で、配線層 106 に入射する正負電荷量のアンバランスが生じると、配線層 106 は容易にチャージアップする。

【0039】配線層 106、したがってゲート電極 103 の電位が半導体基板 101 に対してある程度以上の電位となると、ゲート絶縁膜 102a を介してトンネル電流が流れ出す。

【0040】図 2 (A) に示すような平坦な表面を有する配線層 106 は、入射する正電荷と負電荷の量が等しければ電荷のアンバランスは生じない。しかしながら、図 2 (D) に示すように、ホトレジストパターンで覆われた配線層の場合には、ホトレジストパターン 110 の開口を介して配線層 106 に入射する正電荷と負電荷にアンバランスが生じればチャージアップが生じてしまう。

【0041】したがって、平面上に入射する正電荷と負電荷の量が等しくても、その角度分布が異なると、斜めに入射する成分はホトレジストパターン 110 でトラップされ易く、配線層 106 では垂直に入射する成分が多い極性にチャージアップしてしまう。

【0042】図 2 (D) の場合、アンテナ比の基準となる配線層の面積 A_f は、ホトレジストパターン 110 の開口に露出された部分の面積となる。アンテナ比の大きな配線層を加工する場合には、ゲート絶縁膜 102a に増幅された電流が流れるため、容易に絶縁ゲート構造の特性が変化してしまう。

【0043】図 3 は、このような観点に基づき、本発明者らが作成した実験用サンプルの構成を概略的に示す。図 3 (A) は、実験用サンプルの 1 単位の概略平面図を示し、図 3 (B) は、その部分的概略断面図を示す。

【0044】図 3 (A) に示すように、半導体基板表面上に絶縁膜を介して導電パターン 20 を形成する。導電パターン 20 は、薄いゲート酸化膜を介して半導体基板と結合するゲート部分 20a と、厚い酸化膜上に配置された広いアンテナ部分 20b を有する。本発明者らは、前述の観点に基づき、この導電パターン 20 の上にパターン間隔の異なる複数のレジストパターンを作成した。

【0045】図 3 (B) は、実験用サンプルの断面構造を概略的に示す。半導体基板 1 の表面上には酸化膜 2 が形成されている。酸化膜 2 は、ゲート部分では薄いゲート酸化膜 2a であり、その他の部分では厚いフィールド酸化膜 2b である。

【0046】この酸化膜2の上に、図3(A)で示したような導電パターン20が形成されている。導電パターン20の上には、ストライプ状の絶縁性レジストで形成されたレジストパターン21を作成する。なお、導電パターン20は酸化膜2の上で分離されており、半導体基板1とは絶縁されている。

【0047】レジストパターン21のアスペクト比を変化させた複数のサンプルを作成した。より具体的には、レジストパターン21の存在しないアスペクト比0の試料、アスペクト比0.7の試料およびアスペクト比約2の試料を主に用いた。より具体的には、レジストパターンの幅および間隔は、それぞれ約0.7 μm とし、その高さを0.5 μm および1.6 μm に設定した。

【0048】なお、フィールド酸化膜2bで囲まれたゲート酸化膜2aの寸法は、膜厚約8nm、面積1 \times 1 μm とし、アンテナ部分20bの面積は、約1 \times 1mmと設定した。すなわち、いわゆるアンテナ比は1,000,000である。

【0049】レジストパターンを有さないアンテナ構造およびフラットバンド電圧によって均一化したプラズマ中に、これらのサンプルを投入し、その損傷の程度を測定した。プラズマはECRプラズマとし、基板にrfバイアス2.3W/ cm^2 を印加した。

【0050】このように設定したプラズマにサンプルを約30秒露出して損傷の程度を調べた。図4(A)の実験結果のグラフに示すように、レジストパターンがないアスペクト比0の場合には、MOSゲート酸化膜の破壊はほとんど見られず、従来のプラズマの均一化による損傷の防止を証明している。すなわち、別の言葉で言えば、均一なプラズマが発生しているといえる。

【0051】ところが、アスペクト比を約0.7、約2.0と増大するにつれ、ゲートの破壊率、すなわち損傷の発生が著しく増大している。この現象は、いわゆる均一プラズマによっては防止することのできない損傷の存在を示している。

【0052】図4(A)から明らかなように、従来の判断基準によれば、不均一の問題がないプラズマによって損傷現象が発生しており、しかも破壊率はレジストパターンの高さが高いほど大きくなっている。

【0053】レジストパターンがない場合には、アンテナ導体にはプラズマからイオンの正電荷と電子の負電荷が等量到達していたと考えられる。これが従来の考えにより、不均一がない場合に損傷が起こらないことの説明となる。

【0054】ところが、レジストパターンが存在する場合には、基板rfバイアスによってほぼ基板に垂直に加速され、入射するイオンはアンテナ導体に到達するのに対し、散乱されて横方向の速度成分が大きい電子の一部は、レジストパターンに衝突してアンテナ導体に到達することができなくなるものと考えられる。

【0055】この結果、正電荷が過剰にアンテナ導体に入射し、接続しているMOSダイオードを破壊したものと考えられる。この電子遮蔽の程度は、レジストパターンが高いほど強くなると考えられ、図4(A)の実験結果を合理的に説明することができるものと思われる。

【0056】この実験で用いたサンプルは、プラズマが均一であっても配線層のエッチングが不均一な場合には損傷を生じることを、実験的に明らかにするために設計したものである。背景としては、以下のような本発明者らの実験的発見がある。

【0057】すなわち、配線層のエッチングにおいて問題となる損傷は、オーバーエッチング時間には依存しない部分が大きかった。また、エッチング初期においても損傷は生じにくい。これらの事実は、エッチング終点直前の一定期間に損傷が生じやすいことを示している。さらに、配線の間隔が狭いパターンでのみこの損傷が見られた。

【0058】アルミ合金のエッチングでは、間隔が狭いパターンでエッチング速度が低下する、いわゆるマイクロローディング効果が存在する。このため、配線間隔の狭い部分と配線間隔の広い部分が同時に存在するパターンをエッチングすると、配線間隔の広い部分においては、エッチングが終了していても、配線間隔の狭い部分には導体が残っていて、その導体がゲート電極に接続されている場合が生じる。

【0059】配線間隔の広い部分でエッチングが終了しているため、この導体は他の導体から電気的に分離されていることが多い。したがって、この導体に入射する電荷量にアンバランスがあると、ゲート電極に過大な電圧が印加されてしまう。

【0060】なお、エッチング初期のように、導体が基板表面全体に広がっている状態においては、スクライブライン等で導体と基板が接続されていることが多い。このような場合、基板は導体と同電位に保たれ、ゲート絶縁膜の上下に電位差が生じない。このような状況においては、損傷は起こり得ない。

【0061】なお、基板と導体が直接接続されていなくても、広い面積に亘って導体が広がっている場合には、導体の電位は平均化され、基板電位との間に大きな電位差が生じにくい。

【0062】図4(B)は、この状況を説明するための概略図である。アルミ合金のエッチングでは、マスク間隔が狭いパターンでエッチング速度が低下するいわゆるマイクロローディング効果が存在する。このため、配線間隔の狭い部分には導体が残っており、配線間隔の広い部分では、導体がエッチング除去されてしまう状況が生じる。

【0063】このような状況においては、ゲート電極にその周辺のいくつかの導体が接続され、離れた導体からは電気的に分離される状態が発生する。図4(B)は、

このような状況を示す。

【0064】半導体基板1の上に絶縁層2が形成され、この絶縁層2の上にゲート電極層3が形成されている。ゲート電極層3の表面は、層間絶縁膜4によって覆われているが、ゲート電極層3の一部分上にビアホールが形成され、このビアホールを介して配線層6が接続されている。

【0065】配線層6は、当初は基板表面全面に亘って堆積されたが、ホトレジスト9をマスクとしたエッチングによってパターニングが進み、図示の状態においては、ゲート電極層3に接続された部分およびその両隣りの配線層のみが互いに接続されている。

【0066】ホトレジストパターン9a、9b、9c間のパターン間隔は狭く、これらのホトレジスト層の外側の部分においては、配線層6が消滅した後も、マイクロローディング効果によりその間の配線層6は残存している。

【0067】このような配線層6に対して、イオンの正電荷10および電子の負電荷11が入射するが、電子は散乱によって横方向成分を多く有する。このため、ホトレジスト層9の側面に入射する電荷としては電子が多く、この反作用として、配線層6に入射する電荷としては、イオンの正電荷の方が多くなる。

【0068】このため、配線層6に接続されたゲート電極層3には正電荷が多く流入し、ゲート電極層3は正極性に荷電してしまう。荷電による電位が所定値を越えると、ゲート絶縁膜2aを介するトンネル電流や絶縁降伏放電が開始され、ゲート絶縁膜2aが破壊されてしまう。

【0069】図4(A)に示す実験結果は、このような事情を説明しているものと考えられる。実験用サンプルの構造は、簡単化のために、図3に示すような構成とされている。3種類のサンプルの構成を図5により詳細に示す。

【0070】図5(A)は、アスペクト比0の場合を示す。半導体基板1の上に、ゲート絶縁膜2aおよびその周囲のフィールド絶縁膜2bが形成され、その上にゲート電極層20が形成されている。ゲート電極層20の上にはホトレジスト層は形成されず、アスペクト比は0である。

【0071】図5(B)は、同様の構成のゲート電極層20の上にパターン間隔0.7 μ m、パターン幅0.7 μ mのストライプ状レジストパターン21が形成されている。レジストパターンの高さは0.5 μ mであり、アスペクト比は約0.7である。

【0072】図5(C)は、図5(B)と同様のレジストパターンが形成されているが、そのレジストパターンの高さが1.6 μ mに設定されている。レジストパターン間隔およびパターン幅は、図5(B)と同様、それぞれ0.7 μ mである。したがって、アスペクト比は約2

となる。

【0073】図5(D)は、レジストパターンから露出しているゲート電極層20の形状を概略的に示す。このようなサンプル表面上にイオンおよび電子がプラズマ状態で存在し、正電荷のイオンは表面にほぼ垂直に入射し、負電荷の電子は斜め方向に入射するものとする。

【0074】すると、図5(A)のアスペクト比0の場合には、ゲート電極層20に等量のイオンおよび電子が入射するが、図5(B)、(C)の場合には、斜め方向に入射する電子はレジストパターン21の側面に一部が入射し、そこでトラップされてしまう。

【0075】これに対し、レジストパターン21表面上の開口部を通った正電荷のイオンは、ほぼ垂直方向に進むため、ゲート電極層20にほぼそのまま入射する。したがって、ゲート電極層20に入射する電荷量としては正電荷の方が多くなる。

【0076】レジストパターン21の高さが高くなるほど、その側面がトラップする負電荷の量が多くなり、ゲート電極層20に入射する電荷量としては正電荷の量が多くなる。

【0077】このように、パターン間隔が約1 μ m以下となる微細パターンにおいては、平面内でのプラズマが均一であっても、プラズマ内の電荷の運動方向に異方性があると、レジストパターンに覆われた導電層のエッチングにおいては、入射電荷量のアンバランスが生じてしまう。

【0078】なお、以上の実験においては、ストライプ状のパターンを用いたが、電子の遮蔽によって正電荷過剰を生じ、損傷に繋がる機構は、このような場合に限定されない。図6は、実験により損傷が認められ、その機構として上記実験結果を類推適用できる他の状況の例を示す。

【0079】図6(A)は、コンタクトホールのエッチング工程を示す。ゲート電極層20が層間絶縁膜22で覆われ、その上にレジストパターン24が形成されている。コンタクトホールのエッチングにおいては、エッチング対象物が層間絶縁膜22であり、配線層20が露出した時点でエッチングは終了するが、ゲート電極層20は電氣的に分離されていることが多い。

【0080】ゲート電極層20が部分的に露出した状況ではエッチングが継続しており、上部からゲート電極層20に入射する電荷にアンバランスがあると、ゲート電極層20に過大な電位が生じてしまう。

【0081】図6(B)は、コンタクトホールのプラズマクリーニングの工程を示す。図6(A)に示すようなコンタクトホールエッチングによって形成されたコンタクトホールに、金属等の配線層を埋め込む直前に、コンタクトホール内をプラズマでクリーニングする。

【0082】この状況においては、ゲート電極層20はコンタクトホール内で露出しており、コンタクトホール

の周囲は層間絶縁膜 2 2 によって囲まれている。コンタクトホール上部からゲート電極層 2 0 に入射する正、負電荷にアンバランスが生じる場合、図 6 (A) の場合と同様、ゲート電極層 2 0 に過大な電位が発生してしまう。

【0083】このように、プラズマエッチングのマスクとして絶縁物を用い、プラズマ中の正電荷と負電荷の速度方向分布が異なるプラズマを用いてエッチングを行なうと、半導体装置に損傷が生じることが判った。したがって、損傷の防止対策として、図 1 に示すような方法が考えられる。

【0084】図 1 (A) は、エッチングマスクとして導電性材料を用いる場合を示す。Si 基板 1 の表面上には、ゲート絶縁膜 2 a、フィールド絶縁膜 2 b を含む SiO₂ 等の絶縁膜 2 が形成されており、その上にゲート電極層 3 が形成されている。ゲート電極層 3 表面は、層間絶縁膜 4 によって覆われている。

【0085】層間絶縁膜 4 にはコンタクトホール 5 が形成され、ゲート電極層 3 が露出する。配線層 6 は、コンタクトホール 5 内のゲート電極層 3 に接続し、層間絶縁膜 4 上に形成される。

【0086】配線層 6 の上には、導電性マスク層としてアモルファスカーボン (a-C) 層 7 が形成される。a-C 層 7 の上に、レジスト層を塗布し、パターンニングすることによってレジストマスクを形成する。このレジストマスクをエッチングマスクとして a-C 層 7 がパターンニングされる。少なくともエッチング終期においては、a-C 層 7 上のレジスト層は除去され、a-C 層が露出される。

【0087】このエッチングマスクは導電性を有するため、エッチングマスクに入射した電荷も全て配線層 6 に流れることができる。したがって、均一性のあるプラズマを用いる限り、配線層 6、a-C 層 7 に入射する正電荷と負電荷のバランスをとることができる。

【0088】図 1 (B) は、エッチングマスクとして絶縁マスク 1 3 を用いるが、その厚さを所定条件に選定する場合を示す。絶縁マスク 1 3 は、パターン間の開口部 8 と比べ、その厚さが薄く、より具体的には 1/2 以下に設定されている。したがって、電子 1 1 が斜め方向にパターン入射しても、絶縁マスク 1 3 に入射する確率は著しく低い。

【0089】図 1 (C) は、プラズマ条件自身を調整し、正電荷と負電荷が等しく、垂直方向に入射する場合を示す。配線層 6 上に、従来通りのレジストマスク 9 を形成し、エッチングを行なっても、イオン 1 0 および電子 1 1 が等量垂直方向に入射すれば、配線層 6 のチャージアップは生ぜず、損傷を防止することができる。

【0090】イオンおよび電子を垂直方向に等量入射させるためには、まず従来と同様の均一のプラズマを発生させ、さらに rf バイアスを 1 MHz 以下の低い周波数

にすることが効果的である。さらに、拡散磁場と補助磁場でカスプ磁場を形成すると有効である。また、拡散磁場と補助磁場を用い、ミラー磁場を形成することも有効である。

【0091】図 1 (D) は、エッチング終期においてもゲート電極またはゲート電極に接続する配線層が基板から電気的に分離されにくくする構成を示す。配線層 6 は、基板コンタクト等において Si 基板 1 の上に直接形成されており、接地配線等を構成している。この場合、ゲート電極層 3 と配線層 6 が切り離されてしまうと損傷が生じ得る。

【0092】マイクロローディング効果により、パターン間隔の狭い部分ではエッチングは終了せず、パターン間隔の広い部分ではエッチングが終了する現象を積極的に利用する。すなわち、スクライプライン等で基板に直接接続している配線層 6 とゲート電極層 3 とは、全て一定の狭いパターン間隔によって結合されるようにする。

【0093】中間に広い面積の間隔が存在する場合には、その間隔内にダミー配線を形成し、広いパターン間隔が生じないようにする。以下、これらの方法をより具体的に説明する。

【0094】図 7 (A) ~ (D)、図 8 (A) ~ (D) は、本発明の実施例による半導体装置の製造方法の主要工程を示す断面図である。図 7 (A) は、Si 基板 1 の上に酸化膜 2 を形成する工程を示す。たとえば、Si 基板 1 の表面を約 5 nm 酸化した後、その上に厚さ約 115 nm の窒化シリコン膜を堆積し、パターンニングしてフィールド酸化膜を形成しない領域上のみ窒化シリコン膜を残す。

【0095】必要に応じ、ウェルを形成する不純物をイオン注入により導入し、熱拡散させる。また、チャネルストップ不純物をイオン注入する。パターンニングした窒化シリコン膜を耐酸化マスクとし、水素燃焼酸化による選択酸化法で厚さ約 350 nm のフィールド酸化膜 2 b を形成する。その後、耐酸化マスクとして用いた窒化シリコン膜を除去する。

【0096】次に、ドライ酸素中で活性領域に厚さ約 15 nm の犠牲酸化膜を形成し、MOS トランジスタの閾値 (V_{TH}) 制御用の不純物をイオン注入する。次に、希 HF 水溶液で犠牲酸化膜を除去する。露出した活性領域の Si 基板上に厚さ約 8 nm のゲート酸化膜 2 a をドライ酸素雰囲気中の酸化で形成する。このようにして、図 7 (A) に示す酸化膜が形成される。

【0097】図 7 (B) に示すように、酸化膜 2 の上にゲート電極層を形成し、パターンニングしてゲート電極 3 を作成する。より詳細に述べると、たとえば非晶質シリコン膜を厚さ約 50 nm、タングステンシリサイド膜を厚さ約 150 nm CVD により積層する。このようにして形成したゲート電極膜に不純物をイオン注入し、ゲート電極膜を形成する。ゲート電極膜上に減圧 CVD によ

10

20

30

40

50

り厚さ約60nmのキャップ酸化膜を形成し、キャップ酸化膜とゲート電極膜と一緒にパターンニングしてゲート電極3を形成する。

【0098】ゲート電極3をパターンニングした後、不純物をイオン注入し、図中ゲート電極の前後に配置されるソース/ドレイン(S/D)領域に不純物を導入し、S/D領域を作成する。

【0099】なお、S/D領域を作成する際、まず不純物を軽くイオン注入することによってLDD領域を作成し、酸化膜を減圧CVDで成長し、異方性エッチングを行なってサイドウォールスペーサを形成した後、S/D領域形成用の不純物をさらにイオン注入して、たとえば1000℃のラピッドサーマルアニール(RTA)で不純物を活性化してS/D領域を形成してもよい。

【0100】また、電極の抵抗を下げるために、必要に応じ、メタルシリサイドを自己整合形成(サリサイド)してもよい。たとえば、Ti膜を約30nm堆積し、熱処理で活性領域のSiと反応させ、TiSi層を形成してもよい。

【0101】このようにしてゲート電極3を形成した後、CVDにより層間絶縁膜4を形成する。層間絶縁膜としては、プラズマCVDで形成した窒化酸化シリコン膜とスピノングラス(SOG)膜の複合膜等を用いることができる。

【0102】図7(C)に示すように、層間絶縁膜4の上に、レジスト膜9aを形成し、露光現像してコンタクトホール形成用の開口5aを作成する。レジスト膜9aをエッチングマスクとし、層間絶縁膜4をエッチングすることにより、層間絶縁膜4を貫通し、ゲート電極3を露出するコンタクトホール5を形成する。その後、レジスト膜9aはアッシング等により除去する。

【0103】図7(D)に示すように、コンタクトホール5を形成した層間絶縁膜4の上に、たとえばスパッタリングにより配線層6を堆積する。配線層6は、たとえば厚さ約20nmのTi層、厚さ約50nmのTiN層の積層からなるバリアメタル上に厚さ約1μmのAl層をスパッタリングで成膜した積層で形成する。配線層6の上に、アモルファスカーボン(a-C)膜7をスパッタリングまたはプラズマエンハンスドCVDにより成膜する。

【0104】図7(D)の構造においては、Si基板1の表面上に活性領域を画定するフィールド酸化膜2bが形成され、活性領域のチャネル領域上にはゲート酸化膜2aが形成されている。ゲート電極層3は、ゲート酸化膜2a上からフィールド酸化膜2b上にまで延在するように形成されている。しかしながら、この段階においては、ゲート電極層3のアンテナ比は未だ低い値を有する。

【0105】ゲート電極3の紙面垂直方向両側には、ソース領域およびドレイン領域が形成され、MOSトラン

ジスタが形成されている。コンタクトホール5を介してゲート電極3に接続された配線層6は、基板全面上に形成され、10以上の大きなアンテナ比を有する。配線層6をパターンニングした後においても、配線の長さによってはアンテナ比は極めて高い値を有する。アンテナ比は、たとえば100以上、場合によっては1000以上、時には10000以上となる。a-C層7は、たとえば厚さ約0.2μmを有し、チャージアップに関しては十分導電体と見なすことができる。

【0106】次に、図8(A)に示すように、a-C層7の上に、レジスト層9を塗布し、露光、現像することによってレジストパターンが形成されている。レジストパターンは、最小パターン間隔が約0.8μmである。

【0107】図8(B)に示すように、このレジストパターン9をエッチングマスクとして、CF₄を含むプラズマによってa-C層7を選択的にエッチングする。a-C層7のエッチング終了後、塩素を含むプラズマでアルミ合金の配線層6を約0.9μm程度エッチングする。

【0108】この段階では、配線層6はエッチされた部分においても約0.1μm残っており、基板1上で全て接続された状態を保持している。したがって、たとえ局部的に配線層6に入射する正電荷と負電荷のアンバランスが生じても、配線層6全体の電位は安定に保たれる。

【0109】配線層6の大部分をエッチングした後、酸素のプラズマダウンフローによってレジスト層9を除去する。酸素のプラズマダウンフローはエッチングの選択性に優れ、レジスト層9をエッチングし、かつa-C層7をエッチせずに残すことができる。

【0110】次に、図8(C)に示すように、a-C層7をエッチングマスクとして、配線層6のエッチングを継続する。たとえば、塩素を含むプラズマで配線層6のエッチングを完了させる。

【0111】図8(C)に示す状態においては、配線層6の上を覆うエッチングマスクは、導電性のa-C層7であり、a-C層7に入射した電荷も配線層6に流れることができる。プラズマの均一性が保たれていれば、配線層6およびゲート電極層3における電荷の蓄積は生じない。

【0112】配線層6エッチング完了後、酸素プラズマを用いてa-C層7を除去する。図8(D)は、このようにしてエッチングを完了した配線層6a、6bの状態を示す。

【0113】図8(B)に示すエッチング工程においては、レジスト層9に入射する電子が遮蔽されることにより、配線層6およびゲート電極層3に入射する電荷量のアンバランスが生じ得るが、配線層6が基板全面上で接続されているため、局所的なアンバランスは全体として平均化され、中和される。

【0114】このためには、図8(B)に示すエッチン

グは、損傷を生じない。ただし、マスク間隔の広い部分で配線層 6 のエッチングが終了すると、配線層 6 が各パターンで分離され、チャージアップが生じるようになる。したがって、図 8 (B) のエッチングは配線層 6 が分断化される前に停止する必要がある。

【0115】エッチング終期においては、図 8 (C) の状態となるため、a-C 層 7 に側面から電子が入射しても、その電子は a-C 層 7 を通過して配線層 6 に達し、配線層 6 に入射されるイオンを中和する。

【0116】このように、エッチング用補助マスクとして導電性の a-C 層を用いることにより、絶縁マスクの電子遮蔽による損傷を防止することができる。なお、a-C 層を 10 mTorr、1.5 kW の条件でスパッタリングし、厚さ約 0.5 μ m に成長し、その抵抗率を測定したところ、約 0.25 Ω cm であった。

【0117】プラズマからの荷電粒子による電流は、10 mA/cm² 程度であり、瞬時の最大値を考えても 1 A/cm² 程度と考えられる。したがって、このような抵抗率を有する a-C 層をマスクとした場合、膜厚を 1 μ m としても膜厚方向の電位差は精々 25 μ V となり、損傷を十分防止できる。

【0118】さらに、ゲート絶縁膜が損傷を受けないためには、1 V の桁の電位差がないようにすればよいので、1 μ m 厚で使用するとして抵抗率 10⁴ Ω cm 程度以下の導電性膜であれば導電性マスクとして使用できる。

【0119】なお、レジストパターンの厚さを減少し、エッチング中にレジストパターンが消滅して自動的に導電性パターンを露出する方法も考えられるが、パターン精度維持の面からは好ましくない。

【0120】すなわち、エッチング中にはエッチングマスクの上端部において横方向エッチングが生じ、いわゆるファセットが発生する。レジストパターンが消滅するまでエッチングを継続するとファセットが後退し、レジストパターンが変化してしまう。

【0121】図 8 においては、エッチングの主要部、特に前半部はエッチングマスクとしてレジストマスクを用いてエッチングを行なったが、導電性マスクが十分な厚さを有している場合には、エッチング開始前にレジストマスクを除去することもできる。

【0122】図 9 は、本発明の他の実施例による半導体装置の製造方法を示す。図 9 (A) において、図 8

(A) の場合と同様、アルミ合金等の配線層 6 の上に a-C 層 7 が成膜されている。本実施例においては、a-C 層 7 の厚さを約 0.7 μ m に設定している。他の部分の構成は図 8 (A) と同様である。

【0123】図 9 (B) に示すように、レジストマスク 9 を用いて a-C 層 7 を CF₄ を含むプラズマによって選択的にエッチングする。その後、レジストマスク 9 は酸素のプラズマダウフローによって除去する。図 9

(B) がこの状態を示す。

【0124】次に、図 9 (C) に示すように、a-C 層 7 をエッチングマスクとし、塩素を含むプラズマでアルミ合金の配線層 6 のエッチングを行なう。このエッチングにおいては、エッチングマスクが導電性であるため、a-C 層 7 側面に入射した電子も直ちに配線層 6 に伝達され、配線層 6 に入射されたイオンと中和することができ

る。【0125】プラズマの均一性が保たれていれば、a-C 層 7 と配線層 6 全体に入射する正電荷と負電荷の量はほぼ同量であり、良好な電荷のバランスが保たれる。したがって、損傷は発生しにくい。

【0126】図 9 (D) に示すように、配線層 6 のエッチング終了後、酸素を含むプラズマで a-C 層 7 を除去する。なお、a-C 層上のレジスト除去には酸素のプラズマダウフローを用いると、a-C 層のエッチング速度を遅くでき、選択エッチングに好適である。さらに CF₄ を添加すると、レジストのアッシング速度は増大する。

【0127】プラズマエッチングによる損傷は、電気的に分離された導電層の上に絶縁物のレジストマスクが存在し、レジストに入射する電子がそこでトラップされてしまうことによる。

【0128】もし、エッチングにおけるエッチングマスクが、十分薄い厚さで形成できるとすれば、エッチングマスク側面に入射する電子の量も相対的に低減し、損傷の程度は低減する。

【0129】図 10 (A) ~ (C) は、本発明の他の実施例による半導体装置の製造方法を示す。図 10 (A) において、前述の実施例同様、Si 基板 1 の表面上に絶縁膜 2 を形成し、絶縁膜 2 の上にゲート電極層 3、層間絶縁膜 4 が形成されている。層間絶縁膜 4 および開口 5 で露出したゲート電極層 3 の上に、たとえば厚さ 1 μ m のアルミ合金で形成された配線層 6 を堆積する。

【0130】配線層 6 の上に、たとえば厚さ約 0.3 μ m の SiO₂ 膜 13 をプラズマ CVD によって成膜する。SiO₂ 膜 13 の上に、レジスト層を塗布し、最小マスク間隔 0.8 μ m のレジストパターン 9 を形成する。

【0131】レジストパターン 9 をエッチングマスクとし、CF₄ を含むプラズマによって SiO₂ 膜 13 の選択エッチングを行なう。SiO₂ 膜 13 をエッチングした後、酸素プラズマを用いてレジストパターン 9 を除去する。レジストを除去し、かつ a-C 層を残す場合は選択性の良いプラズマダウフローを用いるのが好ましいが、このレジスト除去工程は下地が SiO₂ なので、単なる酸素プラズマで行なえばよい。

【0132】図 10 (B) は、レジストパターンを除去した状態を示す。配線層 6 の上には、SiO₂ 膜のエッチングマスク 13 が形成されている。マスク開口部を考

10

20

30

40

50

察すると、開口幅が約 $0.8\mu\text{m}$ に対し、マスクの高さは約 $0.3\mu\text{m}$ であり、開口内に露出している面積としては、配線層6の面積が SiO_2 膜13の面積と比べ、著しく大きい。

【0133】図10(C)に示すように、塩素を含むプラズマで SiO_2 膜13をマスクとしてアルミ合金の配線層6をエッチングする。 SiO_2 膜13上面においては、プラズマの均一性が保証されているため、入射する正電荷と負電荷の量は等しく、電荷は中和する。

【0134】 SiO_2 膜13側面に入射する電子とイオンに関しては、電荷のバランスが保証されないが、 SiO_2 膜13の厚さが薄いため、発生する電荷のアンバランスも小さい。したがって、 SiO_2 膜13下の配線層6に入射する正電荷と負電荷のアンバランスも小さくなる。

【0135】マスクの高さを低くすることによって電子遮蔽が低減されると共に、開口部の高さ自身が減少することにより、マイクロローディング効果も減少すると考えられる。

【0136】図11は、本発明の他の実施例によるプラズマエッチングを説明するためのプラズマエッチング装置の概略断面図である。気密なプラズマチェンバ31には、ガス導入口32と排気口33が設けられている。ガス導入口32がエッチングガス源に接続され、排気口33は排気装置に接続される。

【0137】また、プラズマチェンバ31上方にはプラズマ発生室35が接続されており、マイクロ波導入管34と気密窓を介して結合されている。プラズマ発生室35の周囲には主コイル36が配置されており、プラズマチェンバ31およびプラズマ発生室35内に発散磁場を形成することができる。

10

*【0138】マイクロ波導入管34よりプラズマ発生室35内にマイクロ波を導入しつつ、主コイル36によって磁場を発生することにより、プラズマ発生室35内に所望形状のECRプラズマを発生することができる。このプラズマは、プラズマチェンバ31内に移動し、サセプタ41上に配置される基板に衝突する。

【0139】サセプタ41の下部には、リング状の外側コイル38および内側コイル39が配置されている。また、サセプタ41は、rfバイアス源42に接続されている。

【0140】このような発散磁場型ECRプラズマエッチング装置を用い、基板に対して垂直方向に運動するイオンと電子の量が等しくなる条件を求めた。具体的には、パターン間隔 $0.8\mu\text{m}$ の密なストライプ状パターンを形成した試料を基板として配置し、損傷の発生を検出した。

【0141】アンテナ面積比 10^6 のアンテナが付いたMOSキャパシタを、基板表面上に多数形成し、圧力 0.6Pa の $\text{Cl}_2 + \text{BCl}_3$ ガスでアンテナ導体のアルミ合金のエッチングを行なった。表1に、発散磁場型ECRプラズマ装置での損傷の発生状況をまとめて示す。

【0142】rfバイアス周波数は、代表的には 13.56MHz と 400kHz の2種類を用い、コイル38とコイル39に流す電流を変化させた。コイル38は、主コイル36が形成する磁場と逆向きのカスプ磁場を発生し、コイル39は主コイル36が発生する磁場と同じ向きのミラー磁場を発生する。

【0143】

【表1】

30

発散磁場型ECRプラズマ装置での損傷

rfバイアス 周波数	コイル38	8A	8A	0A	0A
	コイル39	8A	-8A	16A	-16A
13.56MHz		破壊有り	破壊なし	—	破壊有り
400kHz		破壊なし	破壊なし	破壊なし	破壊なし

【0144】表に示す結果から明らかなように、rfバイアス周波数を低く設定すると、損傷が減少して良好な結果が得られている。なお、rfバイアス周波数が高くても、コイル38、コイル39の磁場条件によっては損傷は抑制されている。このような条件依存性は、同様なアンテナ構造を有するMOSトランジスタの閾値 V_{th} による評価でも同様な傾向が得られた。

【0145】ここで発生している損傷は、先に説明した

通り、マイクロローディング効果によって発生するアンテナパターン間の導体に電子が到達しずらく、イオンの正電荷が過剰になるために発生するものと考えられる。周波数を下げてもマイクロローディング効果には基本的に変化がなかったため、周波数の変化により電子の運動状態が変化したものと考えられる。

【0146】すなわち、基板バイアスの周波数を低く、好ましくは 1MHz 以下に下げることにより、少なくとも

50

もパターン近傍で電子が基板に向かって加速される状態になり、レジストパターンで遮られることが減少するものと考えられる。

【0147】なお、ここで用いた発散磁場型ECRエッチング装置は、rfバイアスを13.56MHzに設定した場合にも、従来の定義によるプラズマ不均一は発生していないものである。

【0148】同様の傾向は、ヘリコン波プラズマを利用した場合、誘導結合プラズマを利用した場合、トランス結合プラズマを利用した場合、DEC Rプラズマを利用した場合にも成立するものと考えられる。

【0149】このような高密度プラズマ源によるプラズマに基板を露出し、基板の下にrf電力を印加して処理を行なう場合には、バイアス周波数を約1MHz以下にすることで損傷を抑制することができると考えられる。

【0150】図12は、本発明の他の実施例によるプラズマエッチングを説明するためのプラズマエッチング装置の概略断面図である。このプラズマエッチング装置においては、プラズマチャンバ31の上側、かつ主コイル36の外側に外側補助コイル38a、内側補助コイル3

発散磁場型ECRプラズマ装置での損傷

rf バイアス 周波数	コイル38a	-16A	-8A	0A	8A	16A	0A
	コイル39a	-16A	-8A	0A	8A	16A	20A
13.56MHz		--	--	--	--	--	破壊有り
400kHz		破壊有り	破壊有り	破壊有り	破壊少	破壊なし	--

【0155】表2に示す結果から明らかなように、主コイル36が形成する磁場と同じ向きのミラー磁場を外側コイル38a、内側コイル39aによって発生すると、損傷が減少し、良好な結果が得られる。なお、表に示す前条件において、従来の定義によるプラズマ不均一は発生していない。従って、発生している損傷は、マイクロローディング効果によって発生するアンテナパターン間の導体に電子が到達しずらく、イオンの正電荷が過剰になるために発生するものと考えられる。補助コイル38a、39bに流す電流によっては、マイクロローディング効果に基本的に変化は生じなかったため、ミラー磁場形成によって少なくともパターン近傍で基板に対して垂直方向に運動するイオンと電子の量が等しくなったものと考えられる。

【0156】なお、内側コイルのみに20Aの電流を主コイルと同一方向に流し、rfバイアス源を13.56MHzとした場合には損傷が生じた。図13は、本発明の他の実施例による半導体装置の製造方法を説明するための平面図である。

*9aが配置されている。その他の構成は、図11に示すエッチング装置と同様である。

【0151】図12に示す発散磁場型ECRプラズマエッチング装置を用い、基板に対して垂直方向に運動するイオンと電子の量が等しくなる条件を求めた。具体的には、パターン間隔0.8μmのストライプ状パターンを形成した試料を基板上に多数形成し、エッチングを行なって損傷の検出を行なった。なお、試料のアンテナ比は前述の実施例同様10⁶とした。

【0152】圧力0.53PaのCl₂+BCl₃ガスでアンテナ導体のアルミニウム合金のエッチングを行なった。rfバイアス源42のバイアス周波数は400kHzとし、外側コイル38a、内側コイル39aに流す電流を変化させた。主コイル36が形成する磁場と同じ向きのミラー磁場を形成する電流を“+”とし、逆向きのカスプ磁場を形成する電流の向きを“-”とする。

【0153】表2に実験の結果をまとめて示す。

【0154】

【表2】

【0157】図13(A)は、作成する配線パターンを示している。配線51はゲート電極に接続され、アンテナ比の大きな配線群を示す。配線52は電源配線であり、半導体基板もしくはウェルに接続されている。作成しようとする集積回路上、配線51と配線52の間には配線は不必要である。したがって、配線51と配線52の間に広い間隔が生じる。

【0158】このような場合、従来の技術によれば、配線51と配線52の間の広い間隔はエッチング工程において容易に除去され、そのエッチングが終了した時点においても配線群51内のエッチングはマイクロローディング効果により終了しない。

【0159】このような場合に、配線群51と配線52の間に補間ないしダミーパターン53を設け、パターン間の間隔をなるべく均一に保持する。より具体的には、配線群51の最小パターン間隔と等しい間隔を有するように補間パターン53を配置する。

【0160】このようなパターンをエッチングすると、配線群51の各間隔および補間パターン53と配線群5

1の間の間隔、補間パターン53と電源配線52の間の間隔がほぼ等しいため、同程度のマイクロローディング効果が発生し、エッチングの進行が均一化する。したがって、部分的に配線層が切断され、ゲート電極に過度の電荷が流れ込むことを防止することが可能となる。

【0161】図13(B)は、アンテナ比の大きな配線群51と電源配線52の間に信号配線54が存在し、かつ信号配線54の両側に比較的広い面積が配置される場合を示す。

【0162】この場合にも、信号配線54の両側の領域に、補間パターン53a、53bを設け、補間パターン53a、53b両側のスペース部分がアンテナ比の大きな配線群51内のパターン間隔とほぼ等しくなるように設定する。

【0163】このように、最小パターン間隔の揃ったパターンを補間パターンの挿入によって形成することにより、マイクロローディング効果が均一に発生し、アンテナ比の大きな配線群51が電源配線52から切り離される時期をエッチング終了間際にすることができる。したがって、ゲート電極に発生する蓄積電荷の不均一が是正され、損傷が抑圧される。

【0164】以上説明した実施例は、特にアンテナ比の高い配線層の作成時に有効である。図14は、アンテナ比が高くなり易い回路構成の例を示す。図14(A)はNAND回路の等価回路である。電源配線 V_{DD} 、接地配線 V_{SS} の間に、2入力のNAND回路が接続されている。2つのpチャネルMOSトランジスタ Q_{p1} 、 Q_{p2} のソースが電源配線 V_{DD} に接続され、ドレインは共通に接続されている。このドレインに、直列に接続されたnチャネルMOSトランジスタ Q_{n1} 、 Q_{n2} が接続され、 Q_{n1} のソースが接地配線 V_{SS} に接続されている。

【0165】入力信号 $IN1$ の配線は、pチャネルMOSトランジスタ Q_{p1} とnチャネルMOSトランジスタ Q_{n1} のゲート電極に接続され、他の入力信号 $IN2$ の配線は、pチャネルMOSトランジスタ Q_{p2} とnチャネルMOSトランジスタ Q_{n2} のゲート電極に接続されている。

【0166】また、2つのpチャネルMOSトランジスタ Q_{p1} 、 Q_{p2} のドレインと、nチャネルMOSトランジスタ Q_{n2} の相互接続点から出力信号 OUT が引き出されている。

【0167】このような論理回路は、前段の論理回路から入力信号を受ける。前段の論理回路が必ずしも近くに存在するとは限らず、入力信号配線は場合によっては極めて長くなる。特に、マイクロプロセッサ、ASIC(application specific IC)、ASSP(application specific standard product)、ゲートアレイ等でのような状況が出現する。

【0168】汎用メモリデバイスでは設計時点でアンテナ比検査を行なって素子配置と配線の変更を行ない、ア

ンテナ比を下げたり保護素子を挿入する等の保護対策を行なえる。これは、設計作業の自動化の程度が比較的低いことによっている。

【0169】これに対し、論理回路デバイスにおいては、機能から論理設計、ゲートレベルの設計、レイアウト設計までCADによる自動化が進んでいる。ここで、アンテナ比の検査を行なっても、配線の変更、保護素子の挿入は大きな設計コストの増大を伴ってしまう。したがって、論理回路デバイスにおいては、デバイス設計の変更によってダメージ対策を行なうことが難しい。

【0170】図14(B)は、図14(A)のNAND回路の構成例を示す平面図である。pチャネルMOSトランジスタ形成用のn型ウェル61と、nチャネルMOSトランジスタ形成用のpウェル62が近接して作成されている。このnウェル61とpウェル62を貫通するように、その上にゲート配線63、64が配置されている。

【0171】ゲート配線63、64をマスクとしてイオン注入することにより、nウェル61内にp型ソース領域 S_{p1} 、 S_{p2} およびp型ドレイン領域 D_p が作成される。また、pウェル62の中には、ゲート配線63、64をマスクとするイオン注入により、n型のソース領域 S_{n1} 、ドレイン領域 D_{n1} およびソース兼ドレイン領域 S/D_n が形成される。

【0172】このような構成の上に、配線65~70が第1配線層として形成される。第1配線層を覆う層間絶縁膜が形成され、コンタクトホールを形成した後、第2配線層が形成される。電極71~74が第2配線層によって形成される配線を示す。さらに、第2配線層を覆って層間絶縁膜が形成され、コンタクトホールがその中に形成される。第2配線層上に第3配線層が形成される。配線75~77が第3配線層を示す。

【0173】たとえば、ゲート電極63、64を形成した後、第1配線層を作成する際、電極67、68はゲート電極63、64に接続された状態で作成される。図示の場合、この段階においては、アンテナ比はあまり高くない。しかしながら、第2配線層を作成する時に、配線72、73は設計によっては極めて長い長さを有する。配線72、73作成の際、アンテナ比はゲート電極63、64の真性ゲート領域に対する配線72、73の露出表面積によって決まる。さらに、配線72、73が分離されるまで、接続されている配線領域もアンテナ比を実効的に高める役割を果たす。

【0174】また、第3配線層作成の際に、配線75、76は配線72、73を介してゲート配線63、64に接続される。この配線層作成の際にもアンテナ比の高い配線が形成されている可能性が高い。配線77もアンテナ比を増大させる原因となる。

【0175】図15は、このような多層配線の構造を概略的に示す断面図である。図2(A)に示す構造と同様

の構造により第1配線層106までが形成されている。この上に層間絶縁膜115、第2配線層117、層間絶縁膜119、第3配線層120が形成されている。第3、第2、第1配線層120、117、106はゲート電極に接続されている。このように、特に論理回路を作成する場合に、上述の実施例が有効となる。

【0176】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、MOSトランジスタのゲート電極またはゲート電極に接続される配線層は、多結晶Siのみでなく、高融点金属ポリサイド（たとえば多結晶Siと高融点金属（たとえばW）のシリサイドの積層）、シリサイド等の金属、TiN等によって形成することもできる。もちろん製造プロセス中はアモルファスSiであってもよい。

【0177】なお、a-Cのエッチングは、CF₄、Cl₂、BCl₃等のエッチングガスを用いて行なうことができる。AlおよびAl合金のエッチングは、Cl₂、HCl等のClを含むガスを用いて行なうことができる。また、レジストとa-Cのエッチングは、O₂を用いたエッチングによって行なうことができる。なお、プラズマエッチングはrfプラズマ、μ波プラズマ等、種々のプラズマを用いて行なうことができる。

【0178】導電性マスクとしてアモルファスカーボンを用いた場合を説明したが、配線層がAlの場合、導電性マスクとしてWを用い、エッチャントとしてBr系ガスをを用いることもできる。

【0179】また、配線層がWの場合、導電性マスクとしてAl、TiN等を用い、エッチャントとしてF系ガスをを用いることもできる。配線層がWシリサイドやポリサイドの場合にも同様の組み合わせが可能である。配線層と導電性マスクの組み合わせは、エッチングの選択性が高く、マスクに十分な導電性があればよい。

【0180】パターン間の間隔として0.7μmの場合と0.8μmの場合を説明したが、パターン間の間隔は約1μm以下であれば、顕著なマイクロローディング効果が発生するので、本発明が適用できる。

【0181】その他、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0182】

【発明の効果】以上説明したように、本発明によれば、密な配線パターンのエッチング加工、コンタクトホール形成、コンタクトホール内のクリーニング等において、プラズマに起因する損傷を防止することができる。

【図面の簡単な説明】

【図1】本発明の基本概念を説明するための概略断面図である。

【図2】アンテナ構造とトンネル電流を説明するための断面図、平面図およびグラフである。

【図3】実験用サンプルを説明するための平面図および断面図である。

【図4】実験結果と解析を説明するためのグラフおよび断面図である。

【図5】実験条件とその解析を示す断面図および平面図である。

【図6】実験結果を適用できる他の状況を示す断面図である。

【図7】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図8】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図9】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図10】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図11】本発明の実施例を説明するためのプラズマエッチング装置の概略断面図である。

【図12】本発明の実施例を説明するためのプラズマエッチング装置の概略断面図である。

【図13】本発明の実施例を説明するための配線パターンの平面図である。

【図14】本発明の実施例の使用に適したNAND回路の等価回路図および構成図である。

【図15】多層配線半導体装置の構成を示す概略断面図である。

【符号の説明】

- 1 Si基板
- 2 絶縁膜
- 2a ゲート絶縁膜
- 2b フィールド絶縁膜
- 3 ゲート電極層
- 4 層間絶縁膜
- 5 コンタクトホール
- 6 配線層
- 7 a-C層
- 8 パターン間開口部
- 9 レジストマスク
- 10 イオン
- 11 電子
- 13 絶縁マスク
- 20 導電パターン
- 20a ゲート部分
- 20b アンテナ部分
- 21 レジストパターン
- 22 層間絶縁膜
- 24 レジスト膜
- 31 チェンバ
- 36 主コイル
- 38、39 コイル
- 42 rfバイアス源
- 51 (アンテナ比の大きな)配線群

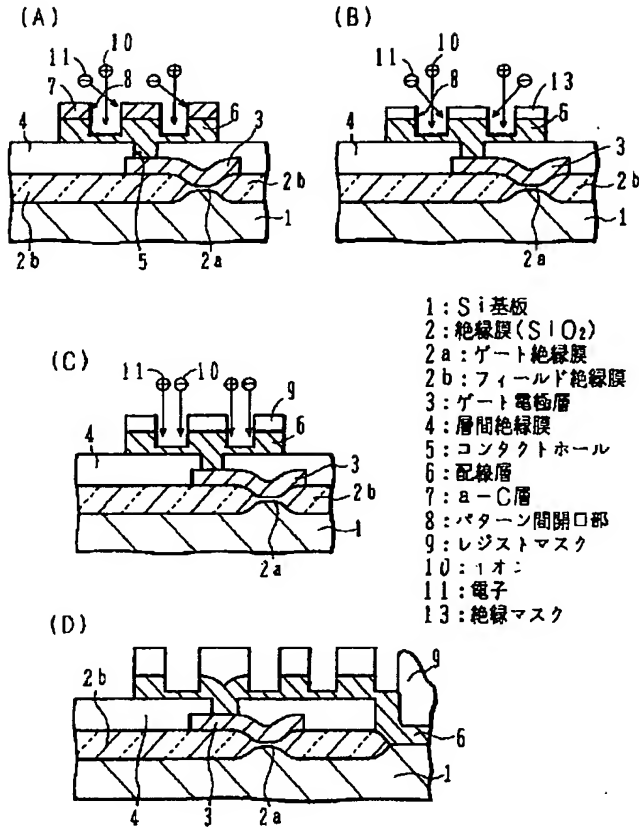
5 2 電源配線
5 3 補間パターン

* 5 4 信号配線

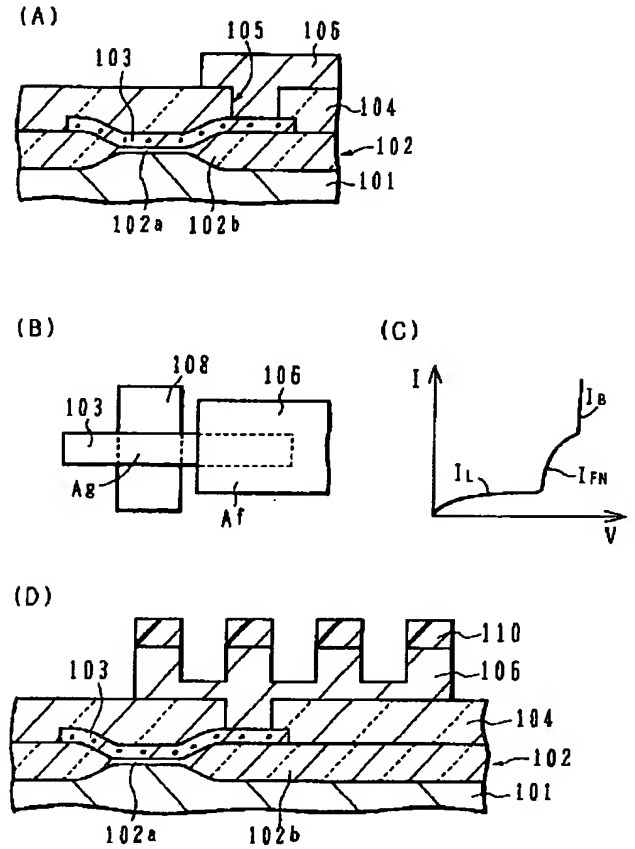
*

【図1】

基本概念

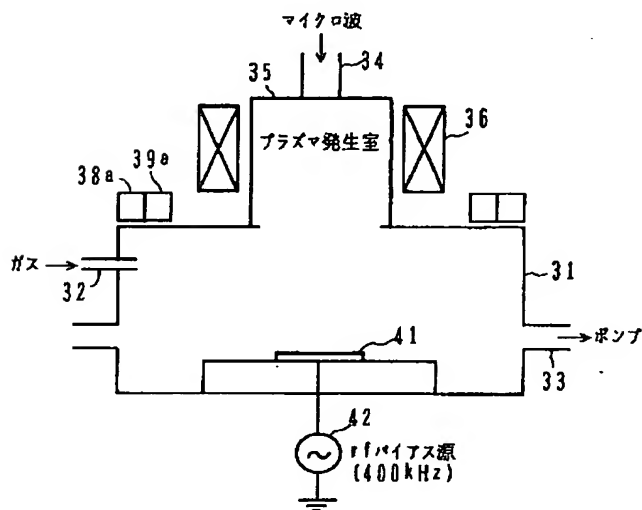


【図2】



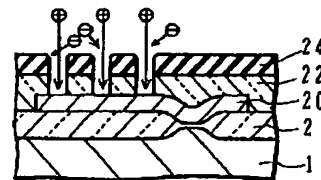
【図6】

【図12】

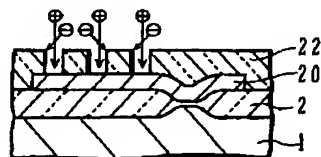


実験結果を適用できる他の状況

(A) コンタクトホールエッチング

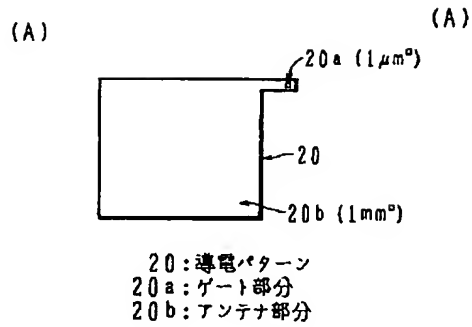


(B) プラズマクリーニング



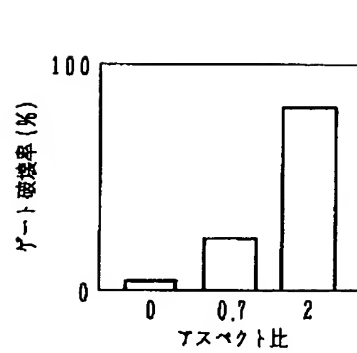
【図3】

実験用サンプル



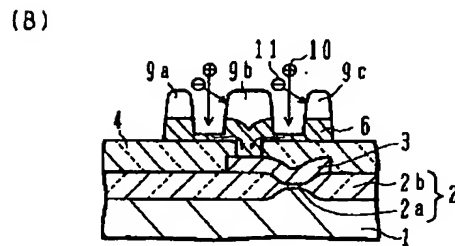
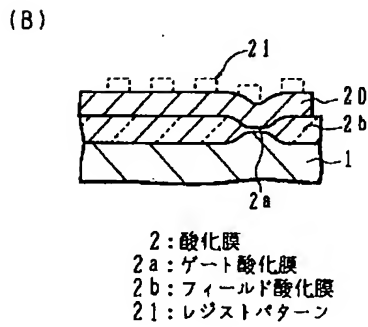
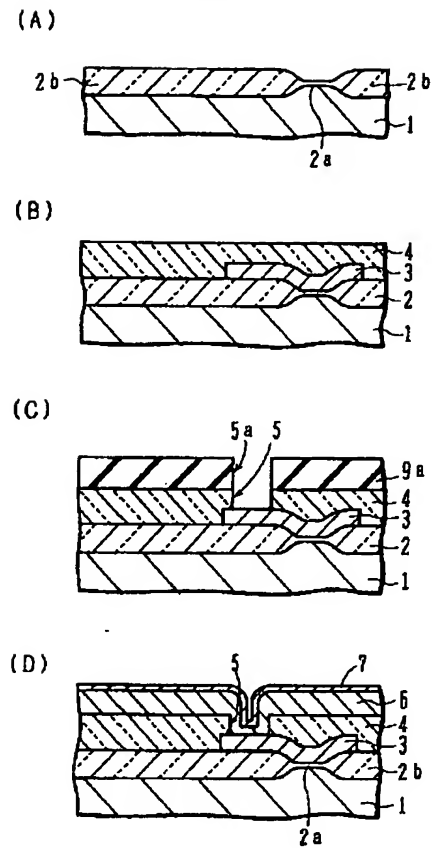
【図4】

実験結果と解析



【図7】

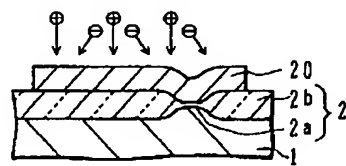
実施例



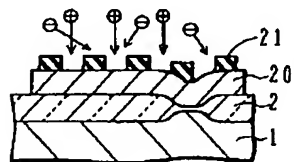
【図5】

実験条件と解析

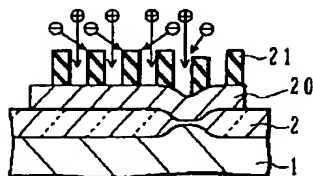
(A) アスペクト比 0



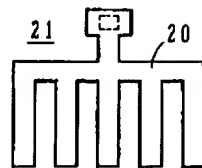
(B) アスペクト比 0.7



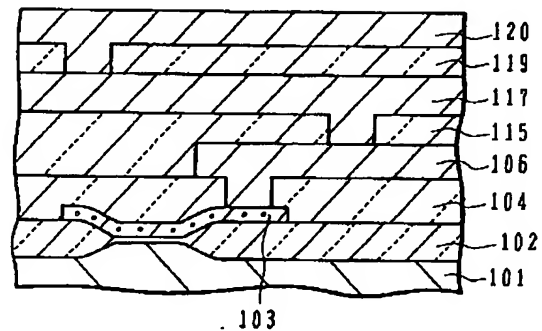
(C) アスペクト比 約2



(D)

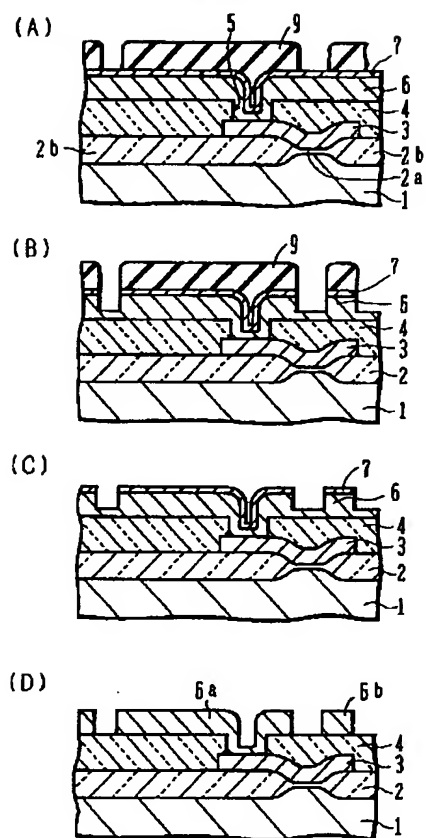


【図15】



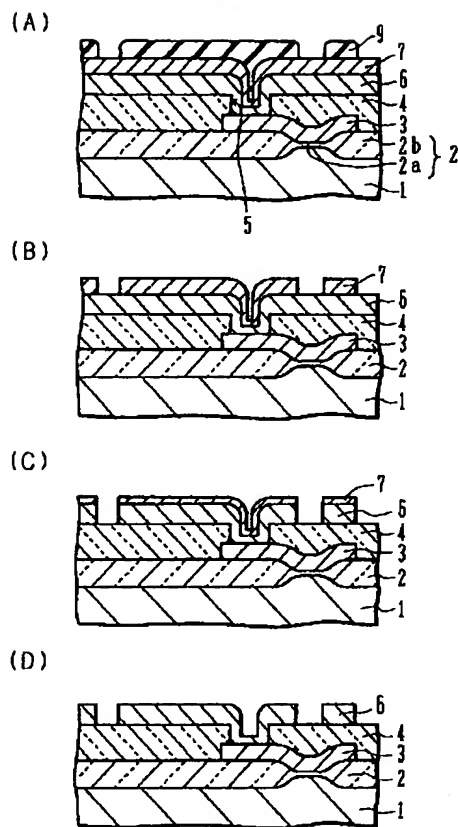
【図8】

実施例



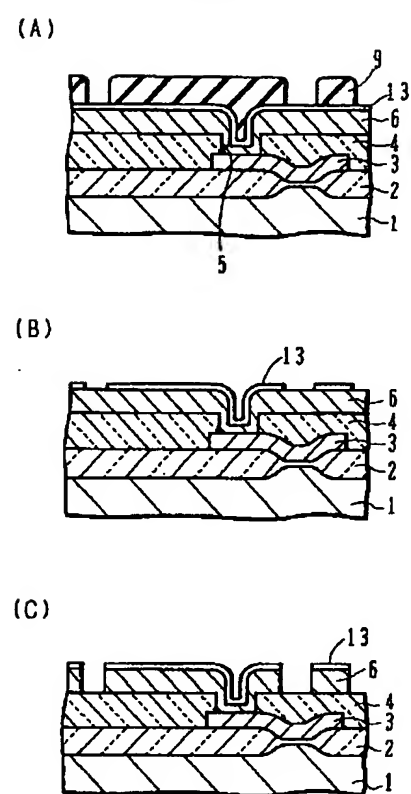
【図9】

実施例



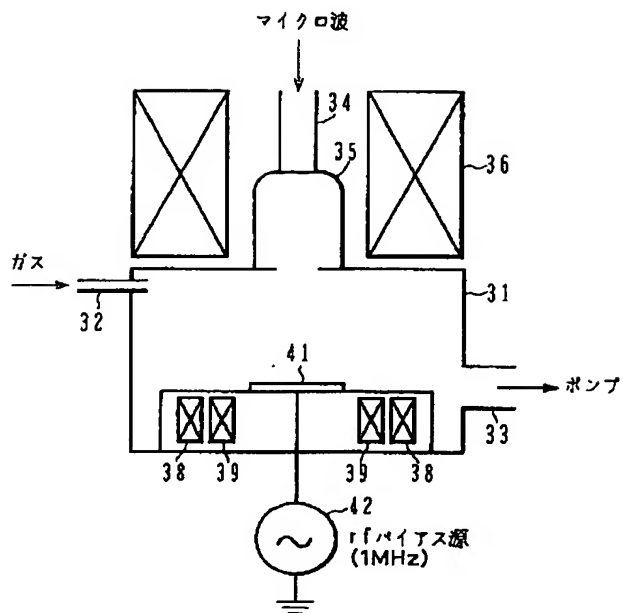
【図10】

実施例



【図 1 1】

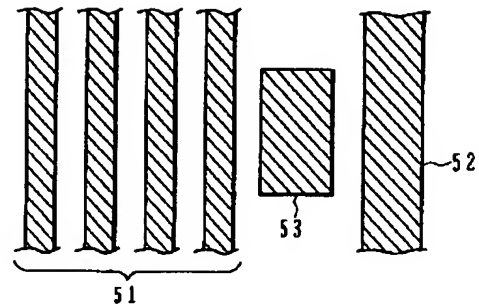
実施例



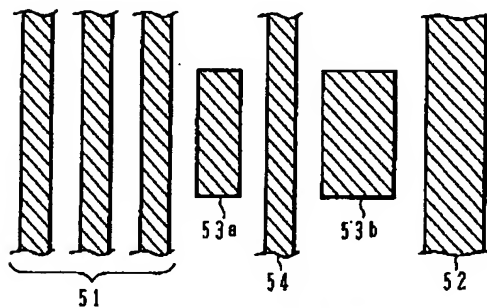
【図 1 3】

実施例

(A)

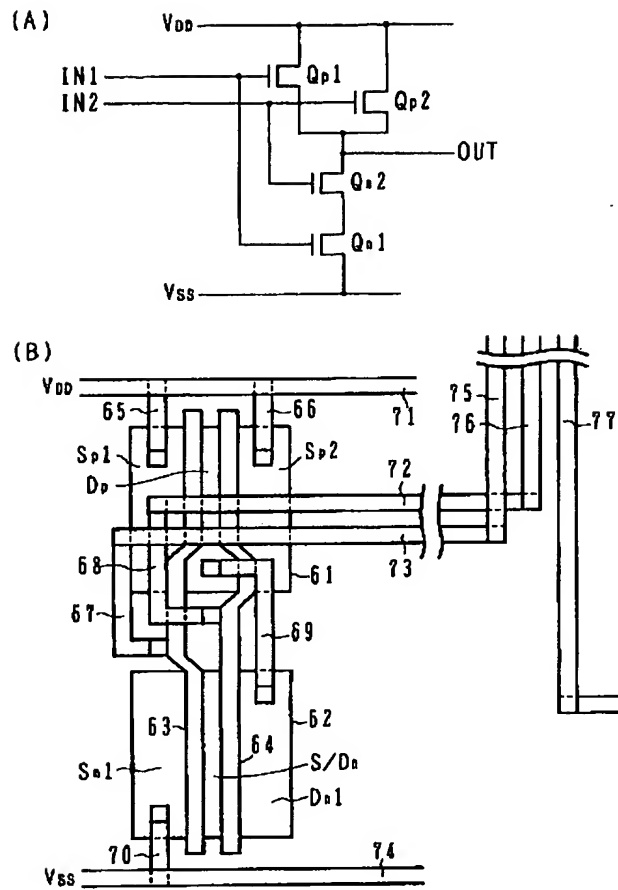


(B)



- 51: (アンテナ比の大きな) 配線群
- 52: 電源配線
- 53: 補間パターン
- 54: 信号配線

【図 14】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/336

識別記号

庁内整理番号

F I

技術表示箇所

7514-4M

H 0 1 L 29/78

3 0 1 Y

(72) 発明者 青山 正明

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内